

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局(43)国際公開日
2005年10月6日 (06.10.2005)

PCT

(10)国際公開番号
WO 2005/093442 A1(51)国際特許分類⁷:

G01R 31/26

(21)国際出願番号:

PCT/JP2005/000509

(22)国際出願日: 2005年1月18日 (18.01.2005)

日本語

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:
特願2004-092982 2004年3月26日 (26.03.2004) JP

(71)出願人(米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 槙平尚宏 (MAKIHIRA, Naohiro) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 今須誠士 (IMASU, Satoshi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 佐藤齊尚 (SATO, Masanao) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP).

(74)代理人: 玉村静世 (TAMAMURA, Shizuyo); 〒1020083 東京都千代田区麹町5丁目7番地秀和紀尾井町TBビル813号 Tokyo (JP).

(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

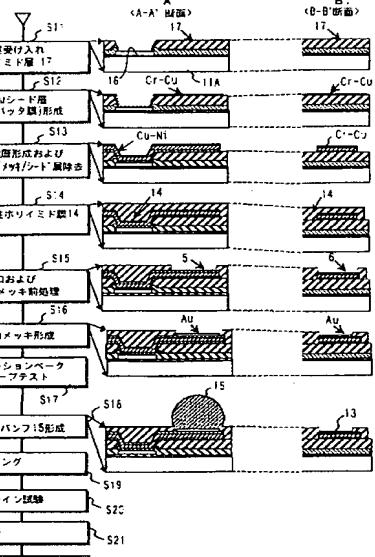
[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54)発明の名称: 半導体集積回路装置の製造方法



WO 2005/093442 A1



A. <A-A' CROSS SECTION>
B. <B-B' CROSS SECTION>
S11. POLYIMIDE LAYER 17 ACCEPTED FROM PREPROCESS
S12. FORM Cr-Cu SEED LAYER (SPUTTER FILM)
S13. FORM RE-WIRE LAYER AND REMOVE Cu-Ni PLATING/SEED LAYER
S14. FORM PHOTORESISTIVE POLYIMIDE FILM 14
S15. FORM A-U PLATING
S16. FORM Au PLATING
S17. RETENTION BAKE/PROBE TEST
S18. FORM SOLDER BUMP 15
S19. DICING
S20. BURN-IN TEST
S21. TEST
S22. APPEARANCE INSPECTION

(57) Abstract: A burn-in step (S19) of burning in a semiconductor integrated circuit device comprises a first sub-step of positioning a bump electrode of a semiconductor integrated circuit at a pad of a socket having a separating mechanism, a second sub-step of pressing the bump electrode against the pad by exerting a load on the semiconductor integrated circuit device, and a third sub-step of separating the bump electrode from the pad by exerting a force in the opposite direction to that of the load in the second sub-step on the semiconductor integrated circuit device by means of the separating mechanism. Automatic insertion/removal of a semiconductor integrated circuit chip in a burn-in test is facilitated by separating the bump electrode from the pad by pushing up the semiconductor integrated circuit device.

(57) 要約: 半導体集積回路装置のバーンイン工程 (S19)において、引き剥がし機構を備えたソケットのパッドに半導体集積回路装置のバンプ電極を位置決めする第1工程と、半導体集積回路装置に加重を印加することによって上記バンプ電極を上記パッドに押し付ける第2工程と、上記第2工程での加重印加方向とは逆方向の力を上記引き剥がし機構によって上記半導体集積回路装置に与えて上記バンプ電極を上記パッドから引き剥がす第3工程とを設け、半導体集積回路装置を押し上げて上記バンプ電極を上記パッドから剥がすことにより、バーンイン試験における半導体集積回路チップの自動挿抜の容易化を達成する。

WO 2005/093442 A1

ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,